

(11)公告編號: 299484

(44)中華民國86年(1997)03月01日

發明

全 5 頁

(51) Int. Cl. 5: H01L21/76

(54)名 稱: 使用低介電係數介電材料之自動對準通道

(21)申請案號: 84105790

(22)申請日期: 中華民國84年(1995)06月08日

(72)發明人:

哈羅伯

美國

(71)申請人:

德州儀器公司

美國

(74)代理人: 蔡中曾 先生

1

2

[57]申請專利範圍:

1. 一種製成通道供在半導體元件上之諸層間電連接之方法, 該方法包含:

(a)在一基片上形成一層有圖案導體;

(b)形成一含有機物介質層, 跨越至少二上述有圖案導體間之至少50%空間, 該含有機物層之厚度, 如在上述有圖案導體間之間隙所量計, 在該等導體之50%與150%厚度之間, 該含有機物層之介電常數小於3.5;

(c)塗敷一無機介質層, 覆蓋上述含有機物介質層及上述導體之任何露出部份; 以及

(d)以一種對上述含有機物層具選擇性之蝕刻, 蝕刻通道通過上述無機介質, 從而含有機物介質層作用如蝕刻止擋, 並防止由於掩模不對準或不平整元件外形所致之過度蝕刻, 並且從而較之二氧化矽介質減低相

鄰成對導體間之電容。

2. 根據申請專利範圍第1項之方法, 其中上述有圖案導體層為一互相連接層。

5. 3. 根據申請專利範圍第2項之方法, 其中上述互相連接層係由選自鋁, 銅, 鈦, 鉑, 金, 鎢, 多晶矽, 鉭, TiN, TiSi₂, 及其組合之類組之材料所構成。

10. 4. 根據申請專利範圍第2項之方法, 其中上述形成含有機物介質層之步驟, 包含將一種含有機物材料塗敷至上述元件, 並反向蝕刻該材料, 至在導體間之間隙所量計之厚度為上述有圖案導體之50%至95%厚度。

15. 5. 根據申請專利範圍第2項之方法, 其中上述形成含有機物介質層之步驟, 包含將一種含有機物材料塗敷至上述元件, 並反向蝕刻該材料, 至在導體

間之間隙所量計之厚度為上述有圖案導體之90%厚度。

6. 根據申請專利範圍第2項之方法，其中上述形成含有有機物介質層之步驟，包含將一種低k材料塗敷至上述元件，其方式為致使該低k層之如在導體間之間隙所量計之最後厚度為在上述有圖案導體之105%與150%厚度之間。
7. 根據申請專利範圍第2項之方法，其中上述形成低k介質層之步驟，包含將一種含有有機物材料塗敷至上述元件，其方式為致使該含有有機物層之如在導體間之間隙所量計之最後厚度實際為上述有圖案導體之110%厚度。
8. 根據申請專利範圍第7項之方法，其中塗敷上述含有有機物材料之步驟，包含旋壓一種以重量計含10%至100%聚合物，並在溫度高於300℃退火之SOG。
9. 根據申請專利範圍第1項之方法，其中上述含有有機物介質層由一種以重量計含10%至100%聚合物之材料所構成。
10. 根據申請專利範圍第9項之方法，其中上述無機介質層由超過95%二氧化矽，氮化矽，或其組合所構成。
11. 根據申請專利範圍第1項之方法，其中上述含有有機物層由至少二次層所構成，包括一含有有機物次層在無機次層上，該無機次層之介電常數小於3.0。
12. 根據申請專利範圍第11項之方法，其中上述無機低k次層由一種多孔矽化物所構成。
13. 根據申請專利範圍第11項之方法，另包含以一種對上述無機次層具選擇性之第二蝕刻劑蝕刻上述通道通過含有有機物次層，從而上述無機次層作用如蝕刻止擋。

14. 根據申請專利範圍第1項之方法，另包含在形成上述含有有機物介質層前，在有圖案導體上形成一層或多層相當薄之鈍化層。
5. 15. 根據申請專利範圍第1項之方法，其中上述有圖案導體層為一多晶矽層，該多晶矽層也在匯集至半導體元件之場效應電晶體上形成諸閘之頂板。
10. 16. 根據申請專利範圍第15項之方法，其中上述含有有機物介質層係予保形塗敷於有圖案導體及基片上。
15. 17. 根據申請專利範圍第15項之方法，其中在上述通道形成導體，以提供電觸點至多晶矽層，以及至半導體元件之源極/洩極部位。
20. 18. 一種半導體元件，其包含：
 - (a) 一層有圖案導體形成於一基片上；
 - (b) 一含有有機物介質層，其厚度如在導體間之間隙所量計為上述有圖案導體之50%至150%厚度，該含有有機物層跨越至少二有圖案導體間之至少50%空間，該含有有機物層之介電常數小於3.5；
 - (c) 一無機介質層，覆蓋上述含有有機物介質層及導體之任何露出部份；
 - (d) 至少二通道，藉一種選擇性蝕刻上述無機介質而不實際蝕刻含有有機物介質之處，予以形成通過無機介質層；以及
 - (e) 至少二電連接，藉一種導電材料填滿上述通道所形成，該等電連接將有圖案導體連接至一塗敷於無機介質層上之第二層次有圖案導體。
25. 19. 根據申請專利範圍第18項之半導體元件，其中上述有圖案導體層為一多晶矽層，該多晶矽層也在匯集至半導體元件之場效應電晶體上形成諸閘之頂板，並且其中上述含有有機物介質層係予保形塗敷於有圖案導體及基片上。
30. 20. 根據申請專利範圍第19項之半導體元
35. 40.

件，其中上述諸通道用以形成觸點至多晶矽層以及至半導體元件之源極／洩極部位。

圖示簡單說明：

圖1A~1D為剖面圖，示製造有圖案導體之互相連接層，含有機物及無機介質層，及一至導體之一之通道，其順序步驟，其中含有機物層完全覆蓋有圖案導體；

圖2為另一實施例之剖面圖，其中含有機物層實際填滿有圖案導體間之空間，但不將其覆蓋；

圖3為又一實施例之剖面圖，其採用三介質層，每一覆蓋層可被一種對底層具有選擇性之蝕刻劑蝕刻；

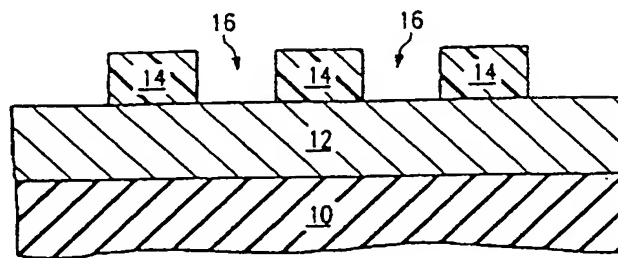
圖4為又一實施例之剖面圖，其例示一在含有機物介質層前所施加之薄鈍化層覆蓋有圖案導體及下面結構；

圖5為再一實施例之剖面圖，其例示一施加至多晶矽及場氧化物上之保形含有機物層及一平面化無機介質層，具有通過無機介質層向多晶矽蝕刻成之通道，及一在較低高度之源極／洩極部位；

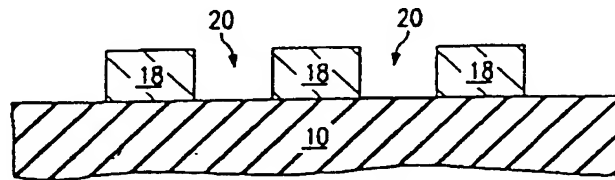
圖6為圖5之實施例之剖面圖，在通道已通至矽化觸點，填滿導電材料，並且電連接至第二層有圖案導體後；以及

圖7為一在同一半導體元件上含有保形及平面化含有機物層之實施例之剖面圖。

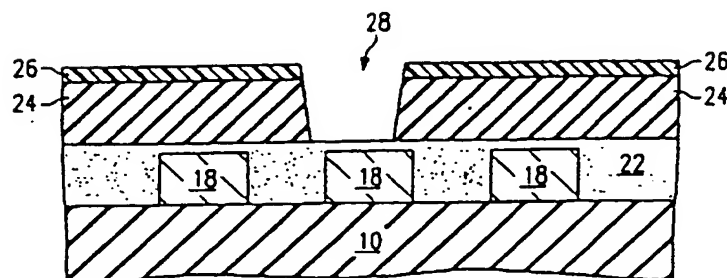
15.



圖一 A

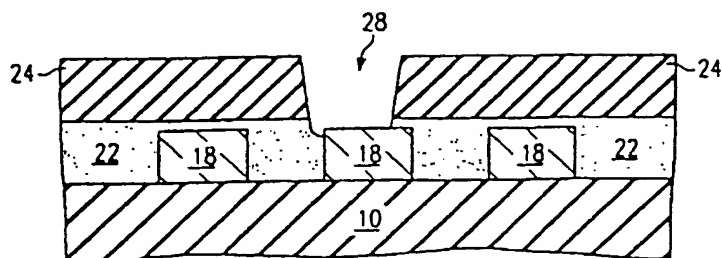


圖一 B

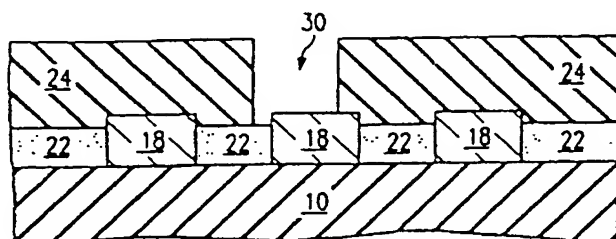


圖一 C

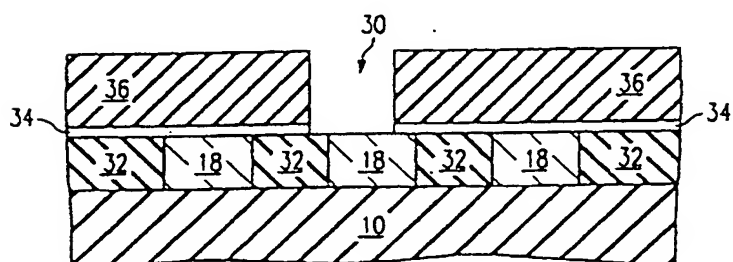
(4)



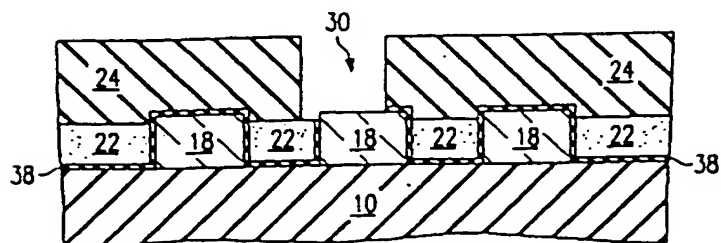
圖一 D



圖二

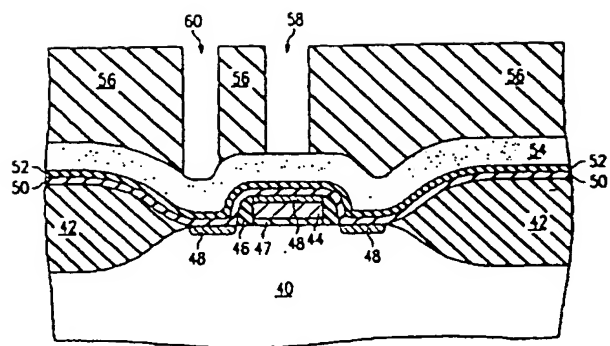


圖三

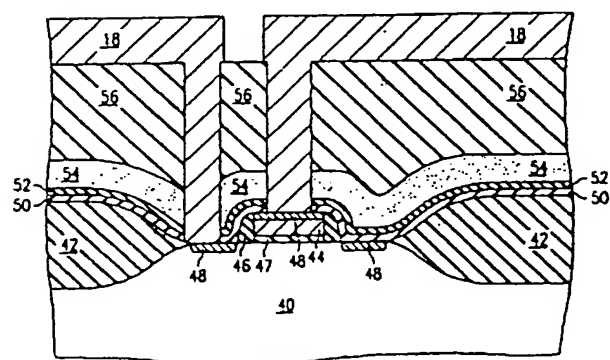


圖四

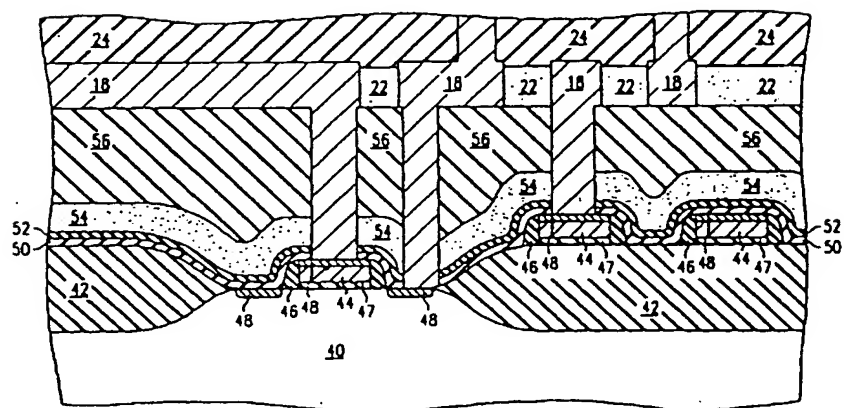
(5)



圖五



圖六



圖七